



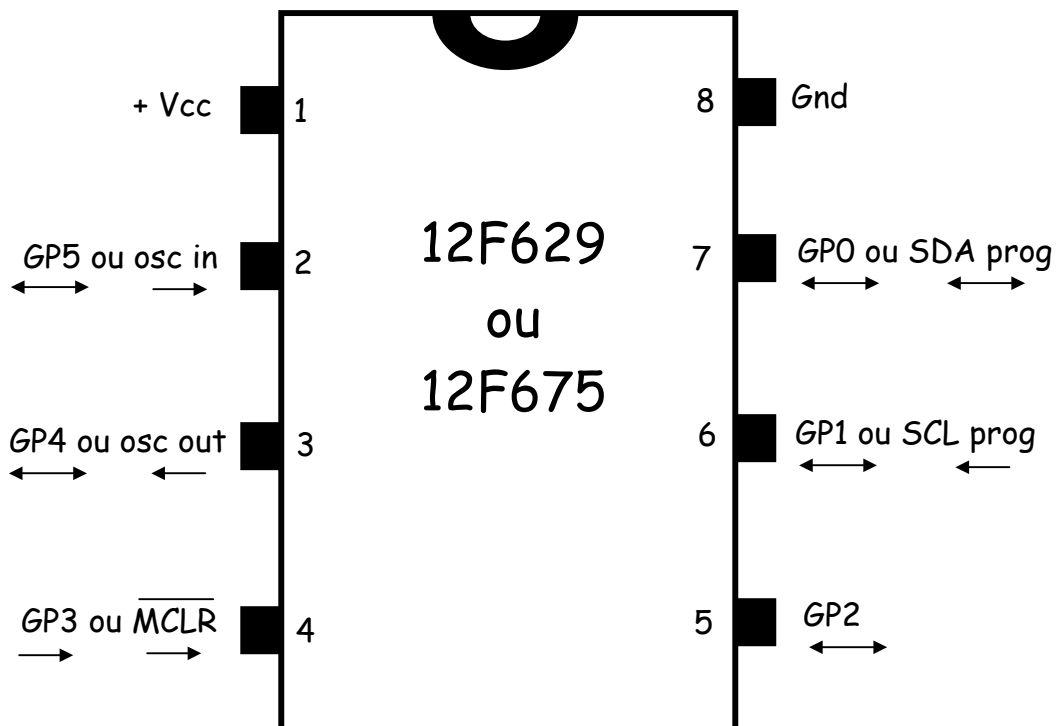
MICROCONTROLEUR

PIC 12F629

Documentation interne ELE
D. MENESPLIER 2004

DESCRIPTION :

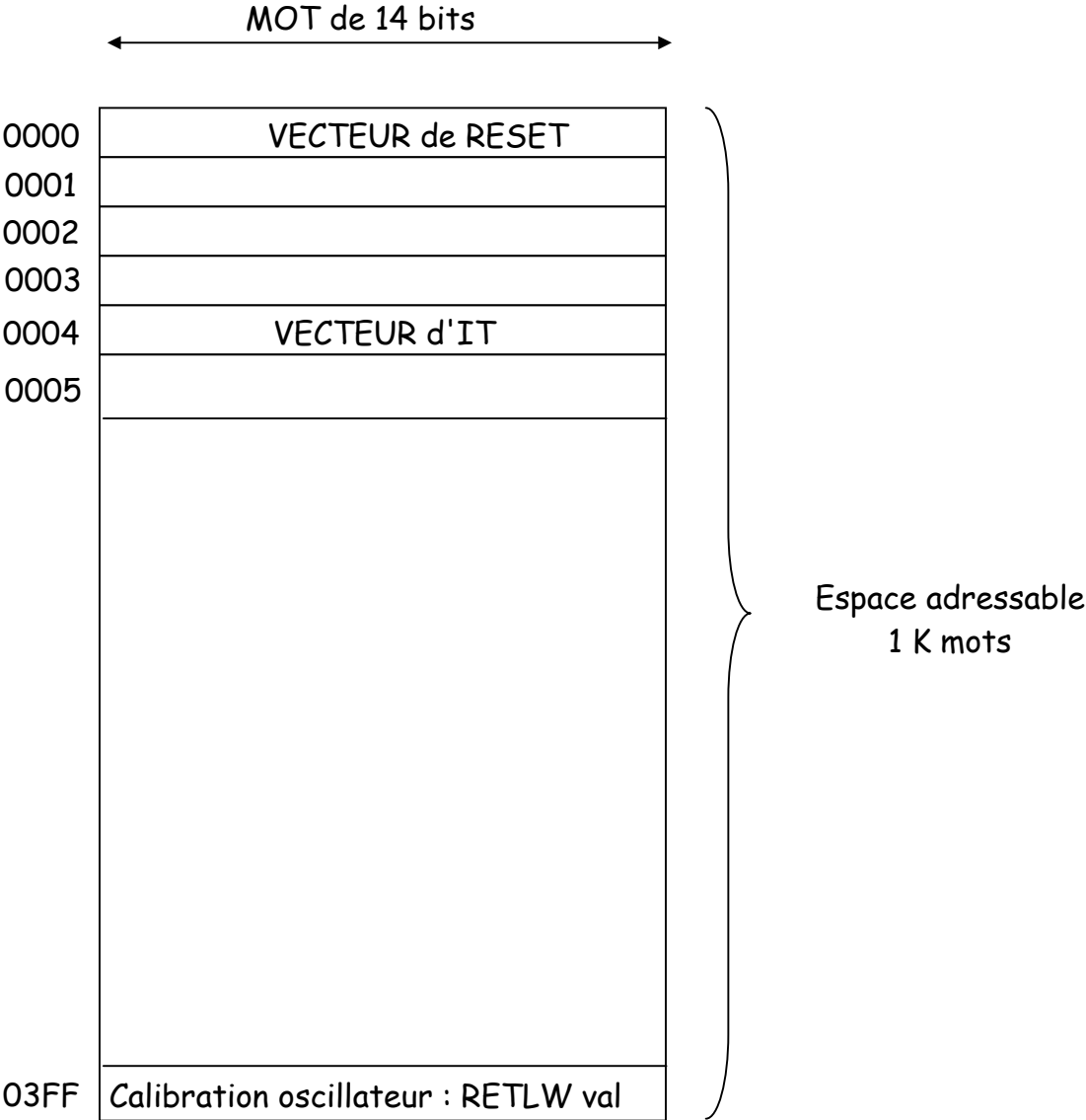
- Alimentation : de 2 V à 5 V
- Consommation :
 - 32 KHz (mode LP): 9 μ A sous 2 V et 35 μ A sous 5 V.
 - 4 MHz (mode XT): 220 μ A sous 2V et 600 μ A sous 5 V.
 - 4 MHz (mode INTOSC): 340 μ A sous 2 V et 800 μ A sous 5 V.
 - 20 MHz (mode HS): 2 mA sous 5 V.
- Architecture RISC : 35 instructions de durée 1 ou 2 cycles.
- Courant max fourni par un port en sortie: 25 mA, dans la limite de 125 mA max pour tout le PORT (5 sorties)
- 8 niveaux de pile pour appels SP et IT.
- 1 comparateur analogique.
- 1 CAN 10 bits à 4 canaux (pour le 12F675 uniquement)
- 1 Timer 8 bits avec prédiviseur
- 1 Timer 16 bits avec prédiviseur
- 1 K mots de 14 bits de mémoire programme: de h'0000' à h'03FF'.
- 64 octets de RAM
- 128 octets d'EEPROM DATA (de h'00' à h'7F')
- 6 ports E/S au maximum (récupération des pins MCLR et Xtal).



MEMOIRE PROGRAMME:

Le PIC 12F629 possède un compteur programme sur 13 bits, qui peut donc adresser 8K mots de 14 bits. Seuls, les premiers 1K, entre h'0000' et h'03FF' sont implémentés.

Le vecteur de reset est en h'0000' et celui d'IT en h'0004'.

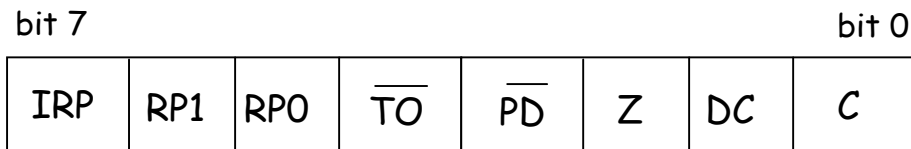


MEMOIRE RAM et REGISTRES:

La mémoire RAM et Registres est composée de mot de 8 bits. Elle est organisée sur deux pages d'adressage. Les 32 premiers octets de chaque pages sont réservés aux registres internes. Les 64 octets suivant sont de la RAM utilisateur.

<i>PAGE 0</i>		<i>PAGE 1</i>	
00	INDF	INDF	80
01	TMRO	OPTION	81
02	PCL	PCL	82
03	STATUS	STATUS	83
04	FSR	FSR	84
05	GPIO	TRISIO	85
06			86
07			87
08			88
09			89
0A	PCL	PCL	8A
0B	INTCON	INTCON	8B
0C	PIR1	PIE1	8C
0D			8D
0E	TMR1L	PCON	8E
0F	TMR1H		8F
10	T1CON	OSCCAL	90
11			91
12			92
13			93
14			94
15		WPU	95
16		IOC	96
17			97
18			98
19	CMCON	WRCON	99
1A		EEDATA	9A
1B		EEADR	9B
1C		EECON1	9C
1D		EECON2	9D
1E	ADRESH (12F675)	ADRESL (12F675)	9E
1F	ADCON0 (12F675)	ANSEL (12F675)	9F
20	↑ 64 octets de RAM ↓	↑ 64 octets de RAM mappés sur la page 0 adressage: 20 à 5F ↓	A0
5F			DF
60			E0
7F			FF

STATUS REGISTER: *adresse h'03' ou h'83'*



Au reset : STATUS = 0001 1xxx

bit 7: IRP

Ce bit est réservé et doit être maintenu à "0"

bit 6: RP1

Ce bit est réservé et doit être maintenu à "0"

bit 5: RPO

Sélection de la page. Page 0 avec RPO à "0" et Page 1 avec RPO à "1"

bit 4: \overline{TO}

Time out du watch dog. Bit à "0" si un time out du watch dog survient.

bit 3: \overline{PD}

Power down. Bit à "0" après l'instruction SLEEP

bit 2: Z

ZERO bit. Bit mis à "1" si le résultat est nul.

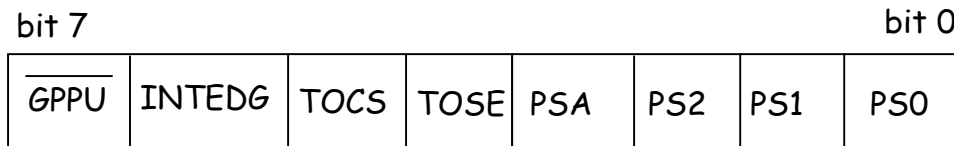
bit 1: DC

Digit carry. Bit mis à "1" si une retenue sur le LSB apparaît. Ce bit est mis à "0" si c'est une borrow.

bit 0: C

Carry. Ce bit est mis à "1" si une retenue sur le MSB apparaît. Ce bit est mis à "0" si c'est une borrow.

OPTION REGISTER: *adresse h'81' en PAGE 1*



Au reset : OPTION = 1111 1111

bit 7: GPPU

Pull up du port GPIO. Quand ce bit est mis à "1" les pull up sont désactivés, et à "0" il autorise les pull up individuellement pour chaque entrée de GPIO (par le registre WPU).

bit 6: INTEDG

Ce bit permet la sélection du front pour les IT sur la broche GP2. Ce bit à "1" = front montant et pour "0" = front descendant.

bit 5: TOCS

Ce bit permet la sélection de l'horloge pour le Timer 0. Le bit à "1" sélectionne l'horloge sur la broche GP2. Quand il est à "0", c'est l'horloge interne qui est prise en compte.

bit 4: TOSE

Sélection du front pour l'horloge externe du Timer 0 sur GP2. Le bit à "1" autorise les fronts montants et quand il est à "0" c'est les fronts descendants sur GP2 qui incrémentent le Timer 0.

bit 3: PSA

Ce bit affecte le pré diviseur au Timer 0 quand il est à "0" et au Watch dog quand il est à "1" (dans ce cas le Timer 0 est prédiv par 1).

bit 0 à bit 2: PS2 PS1 et PS0

PS2	PS1	PS0	Prédiv TIMER 0	Prédiv Watch dog
0	0	0	2	1
0	0	1	4	2
0	1	0	8	4
0	1	1	16	8
1	0	0	32	16
1	0	1	64	32
1	1	0	128	64
1	1	1	256	128

INTCON REGISTER: *adresse h'0B' ou h'8B'*

bit 7				bit 0			
GIE	PEIE	TOIE	INTE	GPIE	TOIF	INTF	GPIF

Au reset : INTCON = 0000 0000

bit 7: GIE

Autorisation globale de interruptions pour GIE à "1". Si ce bit est à "0" les IT ne sont pas autorisées.

bit 6: PEIE

Autorisation des interruptions des périphériques si bit est à "1". Quand il est à "0" ces interruptions ne sont pas autorisées.

bit 5: TOIE

Autorise les interruptions du Timer 0 quand il déborde si ce bit est à "1". Ce bit à "0" interdit les IT du Timer 0.

bit 4: INTE

Autorise les IT sur la broche GP2 si ce bit est à "1". Quand il est à "0", les IT externes sur GP2 ne sont pas prises en compte.

bit 3: GPIE

Autorisation des interruptions sur changement d'état d'un port si ce bit est à "1". Ce bit à "0" interdit ce type d'IT. Il faut aussi initialiser le registre IOC pour ce changement d'état du port.

bit 2: TOIF

Flag du Timer 0. Ce bit passe à "1" quand le Timer 0 déborde. Il faut remettre le bit à zéro dans le sous programme d'IT.

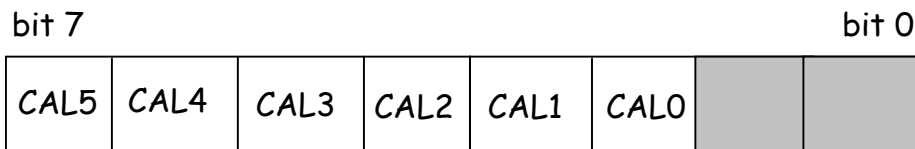
bit 1: INTF

Flag de l'interruption externe sur GP2. Ce bit passe à "1" quand l'IT survient. Il doit être remis à zéro par l'utilisateur, dans le SP d'IT.

bit 0: GPIF

Flag de l'IT sur changement d'état d'un Port. Ce bit passe à "1" quand 1 port au moins a changé d'état. Ce flag doit être remis à zéro.

OSCCAL REGISTER: adresse h'90' en PAGE 1



Au reset : OSCCAL= 1000 00xx

L'oscillateur interne sur 4 MHz peut être calibré exactement.

La valeur de calibration est signée et codée sur 6 bits.

La valeur max de fréquence est obtenue par OSCCAL = 1 1 1 1 1 1 et la valeur min par OSCCAL = 0 0 0 0 0 0.

Au reset le registre OSCCAL est initialisé par la valeur 1 0 0 0 0 0 qui donne une fréquence moyenne entre la valeur max et la valeur min.

Calibration de l'oscillateur :

A la fabrication du Chip, le constructeur programme tout en bas de la mémoire programme, en h'3FF', la valeur de calibration, sous la forme d'un RETLW.

Par exemple on trouvera en h'3FF' le mot h'34A0' soit RETLW h'A0'

Il suffit de débiter le programme utilisateur par :

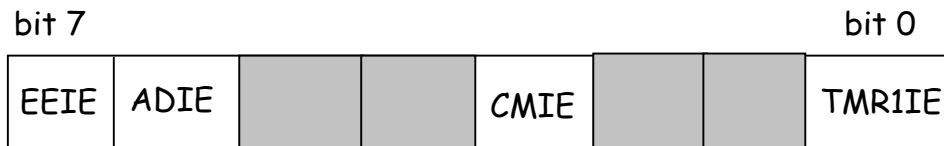
```
CALL    h'3FF'    ; appel au SP qui contient RETLW h'A0'
PAGE1   ; positionne en page 1.
MOVWF  OSCCAL    ; écrit la valeur de calibration h'A0' dans OSCCAL
PAGE0   ; positionne en page 0
```

Si on ne le fait pas, au reset OSCAL sera initialisé par h'80'. L'oscillateur interne sera donc sur une fréquence moyenne proche de 4 MHz mais pas calibrée exactement.

Pour contrôler la fréquence de l'oscillateur, on mesure la fréquence du signal sur la pin 3 (GP4 ou OSC out). Il faudra au préalable avoir positionné dans le mot de configuration : Osc IN et GP4 out osc int.

Si la valeur de calibration a été effacée, il suffit de faire un bout de programme qui incrémente OSCCAL et de mesurer la fréquence de sortie sur GP4. Quand l'oscillateur donne une valeur la plus proche possible de 4 MHz il suffit de lire la valeur dans OSCCAL (par exemple xx) et de la programmer ensuite en h'3FF' sous la forme : h'34xx' en faisant un **ORG h'3FF'** suivi de **DA h'34xx'**.

PIE1 REGISTER: adresse h'8C' en PAGE 1



Au reset : PIE1 = 00xx 0xx0

bit 7: EEIE

Autorisation de l'IT fin d'écriture en EEPROM si ce bit est à "1". L'interruption n'est pas autorisée si ce bit est à "0".

bit 6: ADIE

Autorisation de l'IT du CAN si "1". IT non autorisée si "0".

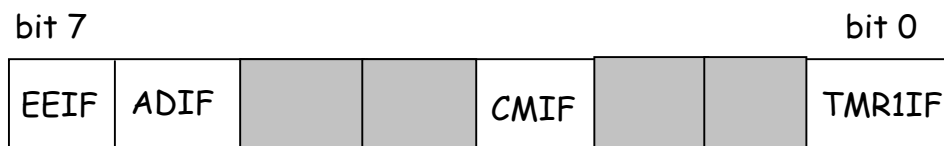
bit 3: CMIE

Autorisation de l'IT pour le comparateur si ce bit est à "1" et masque l'IT s'il est à "0".

bit 0: TMR1IE

Autorisation de l'IT du débordement du TIMER 1 si ce bit est à "1" et interdiction s'il est à "0".

PIR1 REGISTER: *adresse h'0C' en PAGE 0*



Au reset : PIR1 = 00xx 0xx0

Flag des périphériques signalant qu'il y a eu une IT si elle était autorisée. Permet de savoir quel est le périph qui a fait une IT.

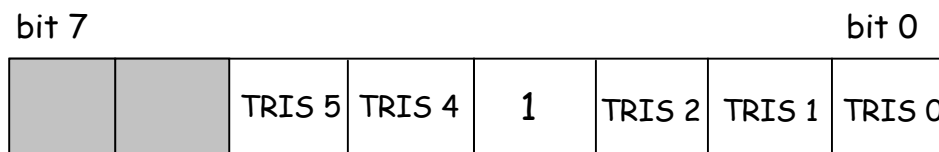
EEIF signale que l'écriture est finie, ADIF signale que la conversion AD est terminée, CMIF signale que l'entrée de comparaison a changé et TMR1IF signale que le TIMER 1 a débordé.

Le bit passe à "1" et doit être remis à "0" dans le sous programme d'interruption correspondant.

GPIO REGISTER: *adresse h'05' en PAGE 0*

Il y a 6 Ports I/O disponibles dans le 12F629. Il faut désactiver le Comparateur analogique avant de pouvoir utiliser ces pins en I/O digitales. Pour cela on écrit dans le registre CMCON qui est à l'adresse h'19' la valeur h'07'.

TRISIO REGISTER: *adresse h'85' en PAGE 1*



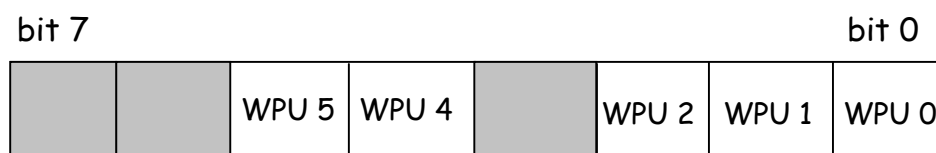
Au reset : TRISIO = xx11 1111

Les entrées sorties sont contrôlées par le registre TRISIO à l'adresse h'85' en Page 1.

Un "1" pour le bit correspondant du TRISIO configure la broche en Entrée. Pour avoir une sortie il faudra mettre ce bit à "0".

La broche GP3 ou MCLR, ne peut pas être configurée en sortie. Le bit b3 correspondant de TRISIO ne peut pas être écrit, il est toujours à "1" donc la broche est toujours configurée comme une entrée. Les 5 autres broches peuvent être programmées indifféremment comme entrée ou comme sortie.

WPU REGISTER: *adresse h'95' en PAGE 1*



Au reset : WPU = xx11 x111

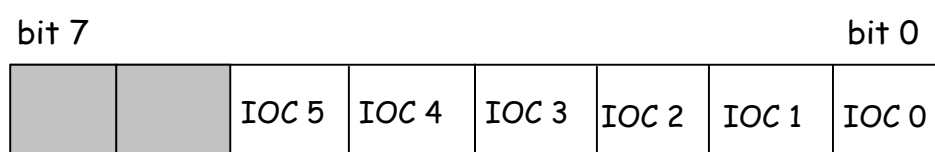
Chaque broches de GPIO, excepté GP3, ont la particularité de pouvoir générer une interruption sur un changement d'état. Toutes ces broches ont aussi la possibilité d'avoir une résistance interne de tirage au +Vcc.

La mise en service des résistances de tirage se fait broche par broche en mettant le bit correspondant à "1" dans le registre WPU à l'adresse h'95' en Page 1. Le bit b3 de ce registre n'existe pas.

Si la broche est configurée en sortie (bit correspondant de TRISIO à "0"), la résistance de tirage est automatiquement déconnectée.

Le bit GPPU du registre OPTION doit être mis à "0" pour activer le tirage de toutes les entrées sélectionnées.

IOC REGISTER: adresse h'96' en PAGE 1



Au reset : IOC = xx00 0000

Chaque broche d'entrée, y compris GP3, peut être configurée pour générer ou non une interruption s'il y a changement de son état. Cette particularité se programme en mettant le bit correspondant à "1" dans le registre IOC à l'adresse h'96' en Page 1.

Il faut autoriser ce type d'interruption en mettant GPIE, qui est le bit 3 de INTCON à "1". Il faut ensuite autoriser les IT en mettant GIE qui est le bit 7 de INTCON à "1".

Dés qu'un changement d'état du port survient, il y a départ dans le SP d'IT, où il faudra lire le Port et ensuite faire une RAZ du flag GPIF qui est le bit 0 de INTCON .

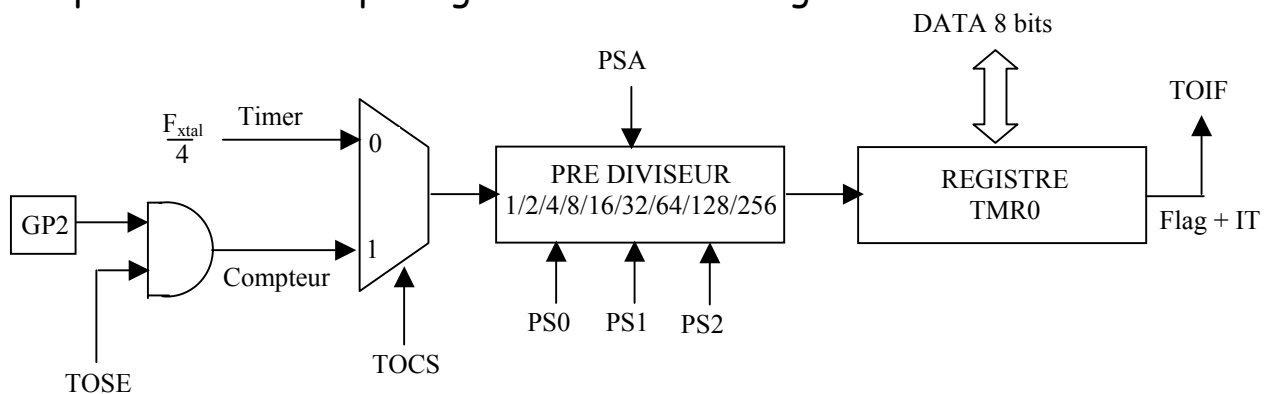
Affectation des broches :

NOM	Broche	AFFECTATION
GP0	7	E/S générale + Entrée + du comparateur digital.
GP1	6	E/S générale + Entrée - du comparateur digital.
GP2	5	E/S générale + CLK Timer0 + entrée IT + sortie comparateur
GP3	4	Entrée générale + $\overline{\text{MCLR}}$.
GP4	3	E/S générale + Porte du Timer1 + quartz horloge ou CLK out.
GP5	2	E/S générale + CLK du Timer1 + quartz horloge ou CLK in.

LE TIMER 0 :

C'est un compteur sur 8 bits, que l'on peut lire ou écrire. Il peut compter l'horloge interne à 1 MHz ou bien une horloge externe qui sera rentrée sur la broche GP2. Il possède un pré diviseur programmable, et il peut générer une interruption quand il passe de h'FF' à h'00'.

Le pré diviseur est partagé avec le Watchdog.



Tous les bits de configuration du Timer sont dans le registre OPTION en h'81' (voir description en page 5).

Mode TIMER : Pour TOCS=0 . TMR0 est incrémenté à chaque cycle instruction ($F_{osc}/4$).

Mode COMPTEUR : Pour TOCS = 1. TMR0 est alors incrémenté à chaque front montant ou descendant sur la broche GP2. Le choix du front se fait par le bit TOSE.

LE PREDIVISEUR : Il est partagé entre le Watchdog et TMR0.

L'affectation se fait par le bit PSA Si PSA = 0 le prédiviseur est affecté à TMR0. Le choix du rapport de division se fait avec les bits PS2, PS1 et PS0 (b2, b1 et b0 de OPTION).

Si PSA = 1 le prédiviseur est affecté au Watchdog et le rapport de division pour TMR0 est fixé à 1.

INTERRUPTION : Elle est générée quand TMR0 passe de la valeur FF à 00. Le Flag TOIF (b2 de INTCON) passe à "1". On peut masquer l'interruption en mettant le bit TOIE (b5 de INTCON) à "0".

Le Flag TOIF doit être remis à zéro par soft dans le sous programme d'interruption, avant de re-autoriser cette interruption.

LE TIMER 1 :

C'est un compteur/Timer sur 16 bits, avec pré diviseur. Il peut être écrit et lu. Il est recommandé de stopper le Timer 1 avant d'écrire, pour éviter d'avoir une valeur erronée.

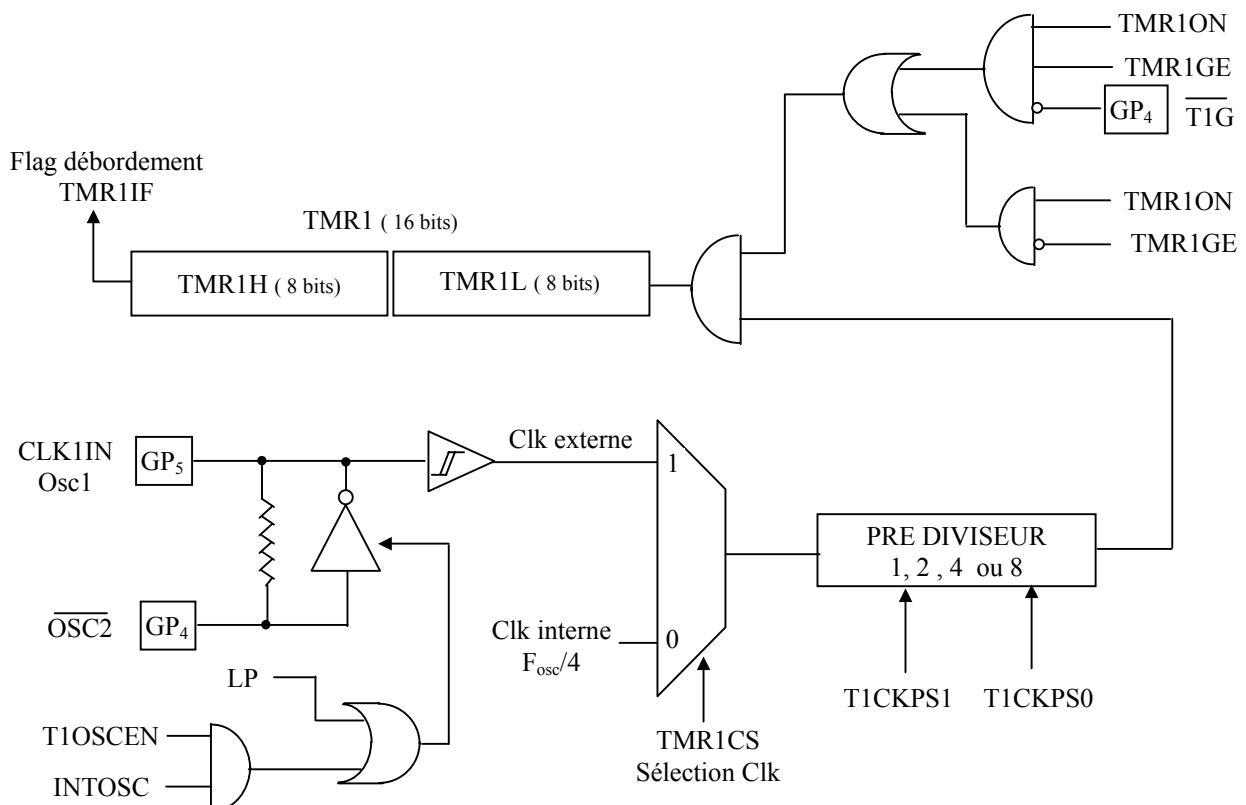
En mode Timer il est incrémenté à chaque cycle de l'horloge interne. En mode compteur, c'est les fronts montants de l'horloge appliquée sur l'entrée externe T1CK1 (broche GP5) qui incrémente le timer 1.

Dans les deux modes, l'horloge de comptage peut être contrôlée par l'entrée porte : T1G (broche GP4).

Les 16 bits du Timer 1 sont dans les registres TMR1L en h'0E' pour les 8 bits LSB et dans TMR1H en h'0F' pour les 8 bits MSB.

Quand le Timer 1 déborde, c'est à dire au passage de h'FFFF' à h'0000', il y a possibilité de génération d'une interruption.

Pour cela il faudra au préalable avoir autorisé les IT du Timer 1 par mise à "1" du bit TMR1IE (bit 0 du registre PIE1 en h'8C'), ainsi que les IT des périphériques par mise à "1" du bit PEIE (bit 6 de INTCON) et les IT globales par mise à "1" du bit GIE (bit 7 de INTCON). Dans le sous programme de traitement de l'IT, il faudra remettre à zéro le flag TMR1IF (bit 0 de PIR1 en h'0C').



T1CON REGISTER: adresse h'10' en PAGE 0

bit 7

bit 0

	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON
--	--------	---------	---------	---------	---------------------	--------	--------

Au reset : T1CON = x000 0000

bit 6: TMR1GE

Autorisation de la porte du Timer 1. Valide si TMR1ON est à "1".

TMR1GE = 0 : Timer 1 est toujours ON

TMR1GE = 1 : Timer 1 est ON si la broche T1G (GP4) est à "0"

bit 5 et 4: T1CKPS1 et T1CKPS0

Valeur du Pré diviseur.

0 0 : pré division par 1

0 1 : pré division par 2

1 0 : pré division par 4

1 1 : pré division par 8

bit 3: T1OSCEN

Autorisation de l'oscillateur LP (max 37 KHz) sur les broches CLK in (GP5) et CLK out 5 (GP4). Dans ce cas, il faut configurer les bits 0, 1 et 2 du mot de configuration à 0 0 0, c'est à dire en mode LP.

Le bit T1OSCEN à "1" autorise l'oscillateur, et l'inhibe s'il est à "0".

bit 2: $\overline{T1SYNC}$

Ce bit à "0" permet de synchroniser l'entrée horloge externe. Quand il est à "1", elle n'est pas synchronisée.

bit 1: TMR1CS

Choix de l'horloge du Timer 1.

TMR1CS = 1 : Horloge externe sur T1CKI (broche GP5)

TMR1CS = 0 : Horloge interne Fosc/4

bit 0: TMR1ON

Mise en service du Timer 1

TMR1ON = 1 : autorise le Timer 1

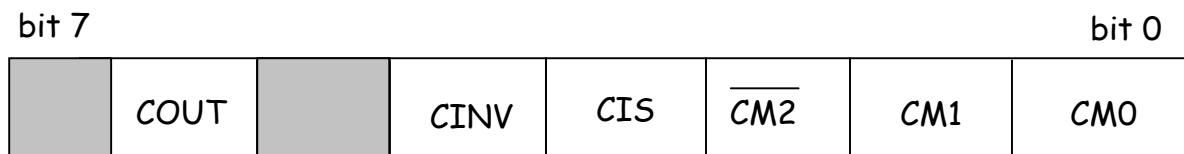
TMR1ON = 0 : stoppe le Timer 1

LE COMPAREUR ANALOGIQUE :

Le comparateur analogique utilise les broches GPO GP1 et GP2.

Il peut comparer 2 tensions analogiques appliquées sur GPO et GP1 ou bien la tension analogique appliquée sur GPO ou GP1 par rapport à une tension de référence interne. Le résultat de la comparaison peut se faire par lecture d'un bit ou bien par la sortie sur GP2.

CMCON REGISTER: adresse h'19' en PAGE 0



Au reset : CMCON = x0x0 0000

bit 6: COUT

Sortie du comparateur. Ce bit est fonction du bit CINV.

Pour CINV=0 : si $V_{in+} > V_{in-}$ alors COUT = 1

Si $V_{in+} < V_{in-}$ alors COUT = 0

Pour CINV=1 : si $V_{in+} > V_{in-}$ alors COUT = 0

Si $V_{in+} < V_{in-}$ alors COUT = 1

bit 4: CINV

Bit d'inversion de la sortie de comparaison.

CINV = 1 : sortie non inversée.

CINV = 0 : sortie inversée.

bit 3: CIS

Bit de sélection de l'entrée, qui sera connectée à l'entrée V_{in-} du comparateur, quand il y a comparaison à la tension de référence interne, qui est connectée à l'entrée V_{in+} du comparateur.

CIS = 1 : GPO connecté à l'entrée V_{in-} du comparateur.

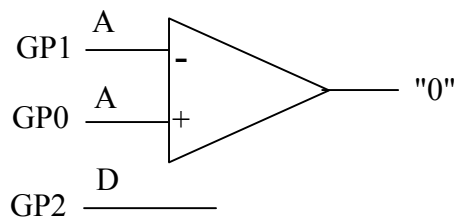
CIS = 0 : GP1 connecté à l'entrée V_{in-} du comparateur.

bit 0 à 2: CM2 CM1 et CM0

Choix du mode de comparaison.

MODE 0: CM2=0 CM1=0 CM0=0

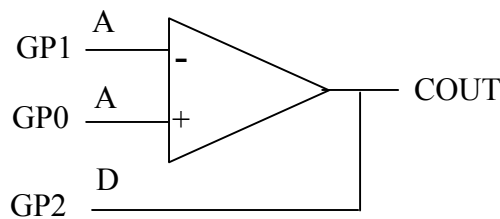
RESET du Comparateur



Les broches GP0 et GP1 sont utilisées pour les entrées analogiques de comparaison. La broche GP2 peut être utilisée en I/O. La sortie est toujours à "0".

MODE 1: CM2=0 CM1=0 CM0=1

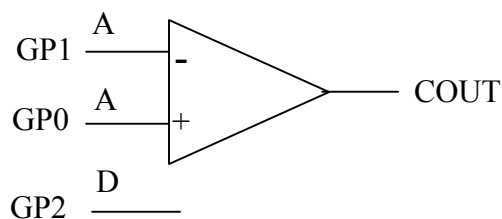
Comparateur avec sortie



Les broches GP0 et GP1 sont utilisées pour les entrées analogiques de comparaison. La broche GP2 est la sortie COUT.

MODE 2: CM2=0 CM1=1 CM0=0

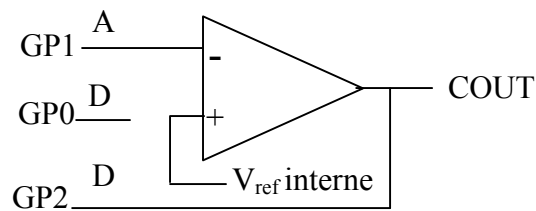
Comparateur sans sortie



Les broches GP0 et GP1 sont utilisées pour les entrées analogiques de comparaison. La broche GP2 est libre pour une I/O.

MODE 3: CM2=0 CM1=1 CM0=1

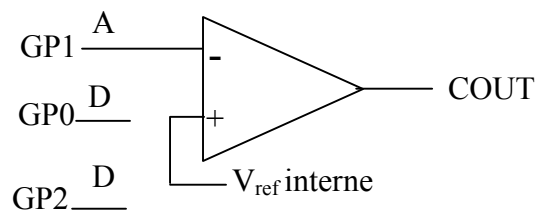
Comparateur avec sortie et référence interne



La broche GP1 est utilisée pour l'entrée analogique de comparaison.
La broche GP0 est libre pour être utilisée en I/O.
La tension de référence interne est appliquée sur l'entrée +.
La broche GP2 est la sortie COUT.

MODE 4: CM2=1 CM1=0 CM0=0

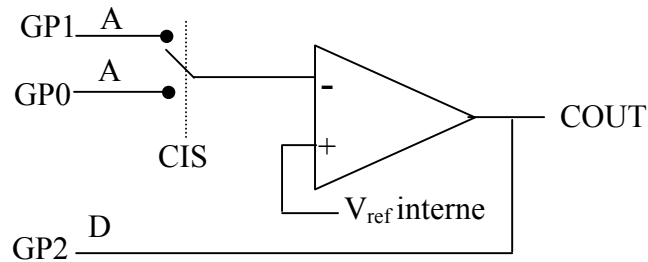
Comparateur sans sortie et avec référence interne



La broche GP1 est utilisée pour l'entrée analogique de comparaison.
La tension de référence interne est appliquée sur l'entrée +.
Les broches GP0 et GP2 sont libres pour être utilisées en I/O.

MODE 5: CM2=1 CM1=0 CM0=1

Comparateur avec entrée multiplexée, sortie et référence interne



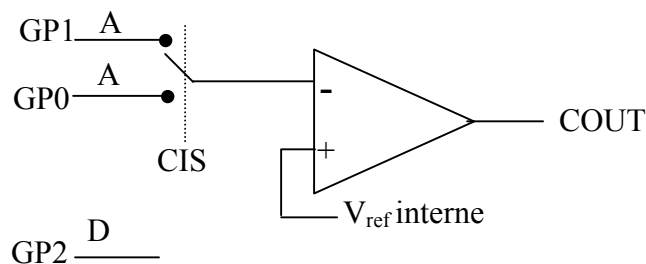
La sélection de l'entrée analogique de comparaison entre GP0 et GP1 se fait par CIS (bit 3 du registre CMCON).

La tension de référence interne est appliquée sur l'entrée +.

La broche GP2 est la sortie COUT.

MODE 6: CM2=1 CM1=1 CM0=0

Comparateur avec entrée multiplexée et référence interne



La sélection de l'entrée analogique de comparaison entre GP0 et GP1 se fait par CIS (bit 3 du registre CMCON).

La tension de référence interne est appliquée sur l'entrée +.

La broche GP2 est libre pour une utilisation en I/O..

MODE 7: CM2=1 CM1=1 CM0=1

Comparateur OFF

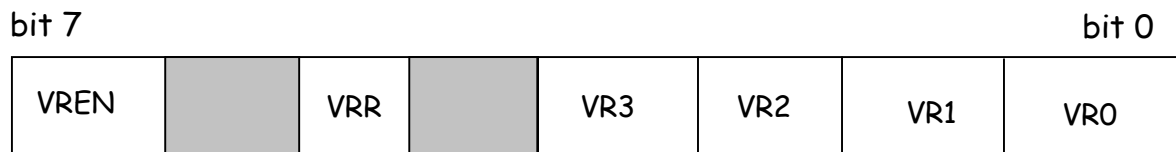
Le comparateur est hors service, et sa sortie est toujours à "0".

Les broches GP0 GP1 et GP2 sont libres d'utilisation en I/O.

La tension de référence interne:

La tension de référence interne est programmable par le registre VRCON. Il y a deux gammes de tension possible. Dans chacune des gammes on peut choisir parmi 16 valeurs de tension différentes par programmation de 4 bits.

VRCON REGISTER: adresse h'99' en PAGE 1



Au reset : VRCON = 0x0x 0000

bit 7: VREN

Mise en service de la tension de référence interne si ce bit est à "1".
Quand ce bit est à "0", la référence interne n'est pas en service.

bit 5: VRR

Sélection de la gamme. Si VRR est à "1" c'est la gamme basse et si VRR est à "0" c'est la gamme haute

bit 0 à 3: VR0 VR1 VR2 VR3

Programmation de la valeur de la tension de référence interne dans la gamme sélectionnée par VRR.

En gamme basse (bit VRR=1) :

$$V_{ref} = 5V \times (VR0 \text{ à } VR3)/24$$

Ce qui donne 16 valeurs de pas 0,208 V entre 0 V et 3,125 V.

En gamme haute (bit VRR=0) :

$$V_{ref} = 5V/4 + 5V \times (VR0 \text{ à } VR3)/32$$

Ce qui donne 16 valeurs de pas 0,156 V entre 1,25 V et 3,59 V.

LA MEMOIRE EEPROM DATA:

Attention tous les registres sont en Page 1

Cette mémoire est en lecture/écriture. Elle est adressée par 4 registres en page 1 de la zone SFR, il s'agit des registres suivant :

- EECON1 en h'9C'
- EECON2 en h'9D'
- EEDATA en h'9A'
- EEADR en h'9B'

Le PIC 12F629 possède 128 octets d'EEPROM dont les adresses vont de h'00' à h'7F'.

EEADR : Registre d'adresse en h'9B' page 1.

Ce registre permet d'adresser les 128 octets d'EEPROM. Le bit 7 de ce registre n'est pas implémenté.

EEDATA : Registre données en h'9A' page 1.

C'est le registre dans lequel transitent les données à écrire ou lues.

EECON1 : Registre de contrôle en h'9C' page 1.

Ce registre de contrôle possède 4 bits.

Bit 7

Bit 0

			WRERR	WREN	WR	RD
--	--	--	-------	------	----	----

Bits 7 à 4 : non implémentés.

Bit 3 : **WRERR** : EEPROM Error Flag bit.

1 = Une opération d'écriture s'est terminée prématurément à cause d'un reset ou de l'entrée en action du watchdog pendant la phase d'écriture.

0 = L'opération d'écriture s'est passé correctement.

Bit 2 : **WREN** : EEPROM Write Enable bit.

1 = Autorise les cycles d'écriture.

0 = Interdit l'écriture dans l'EEPROM.

Bit 1 : WR : Write Control bit

1 = Démarre un cycle d'écriture. Ce bit ne peut qu'être mis à "1" par soft. Il est remis à "0" par hard quand l'écriture est terminée.

0 = Le cycle d'écriture en EEPROM est terminé.

Bit 0 : RD : Read Control bit.

1 = Débute un cycle de lecture de l'EEPROM. Ce bit ne peut qu'être mis à "1" par soft. Il est remis à "0" par hard.

0 = Ne débute pas un cycle de lecture.

EECON2 : Registre de contrôle en h'9D' page 1.

Ce n'est pas un registre physique. Il est utilisé uniquement pendant les séquences d'écriture en EEPROM.

LECTURE de l'EEPROM: *Attention on doit être en Page 1*

- 1 - Ecrire l'adresse désirée dans le registre d'adresse EEADR.
- 2 - Mettre le bit RD de EECON1 à "1" pour démarrer la lecture.
- 3 - Lire la donnée disponible dans le registre data EEDATA.

Exemple:

MOVLW	adresse	; adresse est une valeur entre 00 et 7F.
BSF	STATUS,5	; Accès page 1.
MOVWF	EEADR	; écriture adresse dans registre Adresse.
BSF	EECON1,0	; bit RD = 1 pour débiter lecture.
MOVWF	EEDATA	; lecture Data et mise dans W.
BCF	STATUS,5	; Accès page 0.

ECRITURE dans l' EEPROM:

- 1 - Ecrire l'adresse désirée dans le registre d'adresse EEADR.
- 2 - Mettre la donnée dans le registre data EEDATA.
- 3 - Séquence d'initialisation : Il est nécessaire d'exécuter ensuite une séquence spécifique pour lancer la procédure d'écriture, pour chaque octet.

Il faut écrire la valeur h'55' dans EECON2, puis écrire la valeur h'AA' dans ce même registre EECON2 et ensuite faire passer le bit de démarrage du cycle d'écriture WR (b1 de EECON1) à "1".

NB:

- On doit tout d'abord mettre le bit d'autorisation d'écriture WREN (b2 de EECON1) à "1". Il faudra le remettre à "0" en fin d'écriture car contrairement au bit WR il n'y repasse pas automatiquement.
- Il faut inhiber les IT pendant la séquence d'initialisation.
- La fin du cycle d'écriture est détecté par la montée à "1" du flag EEIF (b4 de EECON1). Il faut le remettre à "0" par programme.

Exemple:

	MOVLW	adresse	; Adresse est une valeur entre 00 et 3F.
	BSF	STATUS,5	; Accès page 1.
	MOVWF	EEADR	; Ecriture adresse dans registre Adresse
	MOVLW	data	; Data est une valeur entre 00 et FF.
	MOVWF	EEDATA	; Ecriture data dans le registre de DATA.
	BCF	INTCON,7	; Interdit les IT par bit GIE = 0.
	BSF	EECON1,2	; Autorise écriture par bit WREN = 1.
Séquence d'initialisation	MOVLW	h'55'	; Début de la séquence d'initialisation.
	MOVWF	EECON2	; Ecriture valeur h"55" dans EECON2.
	MOVLW	h'AA'	
	MOVWF	EECON2	; Ecriture valeur h"AA" dans EECON2.
	BSF	EECON1,1	; Démarrage cycle écriture par bit WR = 1.
TESTFL	BTFSS	EECON1,4	; Test du flag "fin d'écriture".
	GOTO	TESTFL	; pas fini car flag EEIF = 0.
	BCF	EECON1,4	; C'est fini, RAZ du flag EEIF obligatoire.
	BCF	EECON1,2	; On interdit l'écriture par bit WREN = 0.
	BCF	STATUS,5	; Accès page 0.

VERIFICATION ECRITURE :

Après avoir écrit en EEPROM il se doit de vérifier si la valeur écrite est bien celle désirée.

Exemple:

	BSF	STATUS,5	; Accès page 1.
	MOVWF	EEDATA	; W = data que l'on vient d'écrire.
	BSF	STATUS,5	; Accès page 1
	BSF	EECON1,0	; bit RD = 1 : pour lancer cycle lecture.
	SUBWF	EEDATA,0	; W = W - EEDATA (valeur lue)
	BTFSS	STATUS,2	; Test du bit Z. (si Z=1 c'est OK)
	GOTO	ERREUR	; Z = 0 : donc data écrite # Data à écrire.
	BCF	STATUS,5	; Accès page 0.

Suite programme car écriture est OK.

CONFIGURATION WORD: adresse h'2007'

Bit 13											Bit 0		
BG1	BG0				$\overline{\text{CPD}}$	$\overline{\text{CP}}$	BODEN	MCLRE	$\overline{\text{PWRTE}}$	WDTE	FOSC2	FOSC1	FOSC0

Bits 0 à 2: Sélection du type d'oscillateur.

- 1 1 1 = Oscillateur externe RC sur GP5 et Clkout sur GP4.
- 1 1 0 = Oscillateur externe RC sur GP5 et GP4 libre pour utilisation.
- 1 0 1 = Oscillateur interne. Clkout sur GP4 et GP5 libre pour utilisation.
- 1 0 0 = Oscillateur interne. GP4 et GP5 libres pour utilisation.
- 0 1 1 = Horloge externe sur GP5 et GP4 libre pour utilisation.
- 0 1 0 = Oscillateur quartz HS sur GP4 et GP5.
- 0 0 1 = Oscillateur quartz XT sur GP4 et GP5.
- 0 0 0 = Oscillateur quartz LP sur GP4 et GP5.

Bit 3: Watchdog.

- 1 = Watchdog en service.
- 0 = Watchdog inhibé.

Bit 4: Power up Timer.

- 1 = Power up Timer inhibé.
- 0 = Power up Timer en service.

Bit 5: Sélection de la fonction de la broche GP3.

- 1 = La broche GP3 est $\overline{\text{MCLR}}$.
- 0 = GP3 libre pour utilisation en entrée. $\overline{\text{MCLR}}$ est en interne à +Vcc.

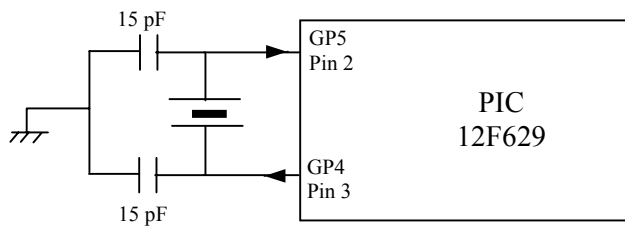
Bit 7: Code Protection de la mémoire programme.

Bit 8: Code Protection des DATA.

- 1 = Protection inhibée.
- 0 = Protection en service.

CONFIGURATIONS de L'OSCILLATEUR:

-1- Oscillateur quartz:

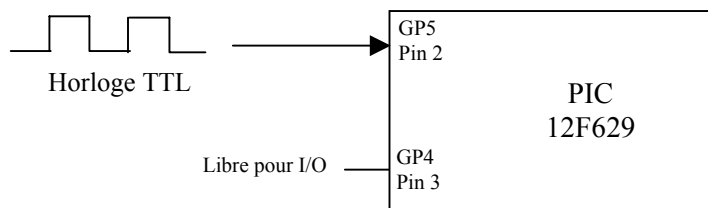


LP = Quartz de fréquence inférieure 100 KHz.

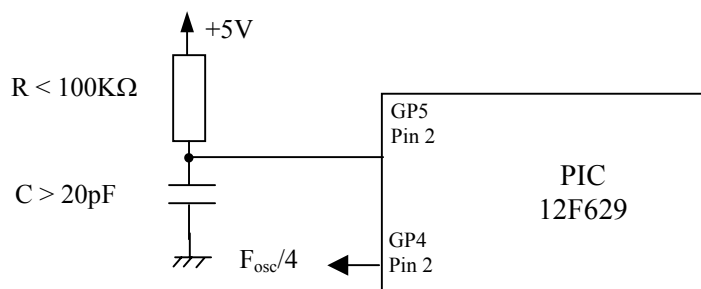
XT = Quartz de fréquence comprise entre 100 KHz et 4 MHz.

HS = Quartz de fréquence comprise entre 4 MHz et 20 MHz.

-2- Oscillateur externe:



-3- Oscillateur RC:



-4- Oscillateur interne:

Quand il est calibré (voir la méthode page 7), la fréquence de l'oscillateur interne est 4 MHz. On peut récupérer les 2 broches GP4 et GP5 pour une utilisation en I/O.

On peut aussi récupérer $F_{osc}/4$ soit du 1 MHz sur la broche GP4.

NOTES